

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-53171  
(P2001-53171A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1	4 M 1 0 4
29/788		21/28	3 0 1 A	5 F 0 0 1
29/792		27/10	4 3 4	5 F 0 8 3
21/28	3 0 1			
27/115				

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平11-221955

(22) 出願日 平成11年8月5日 (1999.8.5)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 松野 知之

長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

(72) 発明者 岩▲崎▼ 松夫

長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

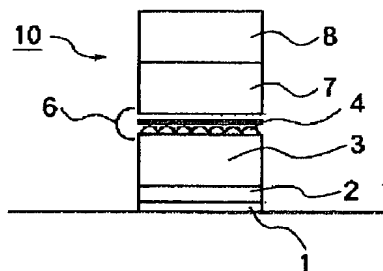
最終頁に続く

(54) 【発明の名称】 半導体デバイスの製造方法

(57) 【要約】

【課題】 例えばフラッシュメモリ等のNV系半導体デバイスの低電圧書換を実現するために、コントロールゲートとフローティングゲートのカップリング比を改善した半導体デバイスの製造方法を提供する。

【解決手段】 フローティングゲートとコントロールゲートを縦に積み上げて構成したスタックゲート構造を備えてなる半導体デバイスの製造方法において、前記フローティングゲートを形成するポリシリコンに、2段階で成膜したドーパントポリシリコン膜2、3を用い、1層目の膜厚を10nm以下にし、2層目のドーパントポリシリコンの表層に半球状の結晶粒4を発生させる。



1...ゲート酸化膜  
2...1層目の DPOLY  
3...2層目の DPOLY  
4...結晶粒

6...ONO 膜  
7...ポリシリコンシリサイド  
8...タングステンシリサイド  
10...Stacked Poly Gate

## 【特許請求の範囲】

【請求項1】 フローティングゲートとコントロールゲートを縦に積み上げて構成したスタックゲート構造を備えてなる半導体デバイスの製造方法において、前記フローティングゲートを構成するポリシリコンに、ドーフトポリシリコンを用いることを特徴とする半導体デバイスの製造方法。

【請求項2】 前記ドーフトポリシリコンを用いて形成したドーフトポリシリコン膜を、2段階で成膜することを特徴とする請求項1記載の半導体デバイスの製造方法。

【請求項3】 前記2段階に成膜したドーフトポリシリコン膜の1層目の膜厚を10nm以下にし、2層目のドーフトポリシリコンの表層に半球状の結晶粒を発生させることを特徴とする請求項2記載の半導体デバイスの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体デバイスの製造方法に関し、特にNV (Non Volatile; 不揮発性) 系半導体デバイスの一種であるフラッシュメモリの低電圧書換を可能にした半導体デバイスの製造方法に関する。

## 【0002】

【従来の技術】近年、フラッシュメモリ等のNV系半導体デバイスの高集積化に伴い微細化が進展している。フラッシュメモリは、周知の如くフローティングゲートとコントロールゲートとを縦に積み上げて1つのスタックゲートトランジスタ (スタックゲート構造) で1ビットを構成し、フローティングゲートに電子を注入して閾値を変化させて情報を記憶する。電子を注入する方法には、チャネルホットエレクトロンを発生する方法と、フローティングゲートと基板あるいはソース・ドレインとの間に高電圧を印加して、トンネル現象を利用する方法がある。また、情報の消去はトンネルによる書き込みと逆の高電界を加え、トンネル現象で電子を引き抜く方法が採られる。

【0003】かかるフラッシュメモリに対する技術的課題として、高集積化、高速化、低電圧化、低消費電力化、量産化が挙げられる。この内、低電圧化に関する課題は、特殊な例を除き、フラッシュメモリでは2.7Vまでしか対応できていない点である。そのため、フラッシュメモリ混載LSI (例えば、フラッシュメモリ混載ワンチップマイコン) では、フラッシュメモリの書換え電源に引きずられて、2.7Vになるか、2電源の対応が必要になってしまっている。このようなフラッシュメモリの低電圧書換 (低電圧動作) を実現するには、セル (メモリトランジスタ) の改良と昇圧効率改良にかかっている。

## 【0004】

【発明が解決しようとする課題】しかしながら、セルの低電圧化には限度がある。書換え耐性・データリテンション (書換え可能回数特性) を保証するためには、フローティングゲート下のトンネル酸化膜をむやみに薄膜化できないからである。従って、書換えに必要な電界の確保は、コントロールゲートとフローティングゲートのカップリング比の改善で対応する。(例えば、福岡、寺本、鈴木、"フラッシュメモリとロジック混載LSIの技術課題" 電子材料 PP.47 Jan 1998)

【0005】以上の理由により、フラッシュメモリにおいて、セル (メモリトランジスタ) の特性を向上させるにはカップリング比の改善を行うことが重要である。

【0006】そこで本発明の課題は、例えばフラッシュメモリ等のNV系半導体デバイスの低電圧書換を実現するために、コントロールゲートとフローティングゲートのカップリング比を改善した半導体デバイスの製造方法を提供することである。

## 【0007】

【課題を解決するための手段】前記課題を解決するために本発明は、フローティングゲートとコントロールゲートを縦に積み上げて構成したスタックゲート構造を備えてなるNV系半導体デバイスの製造方法において、前記フローティングゲートを構成するポリシリコンに、ドーフトポリシリコンを用いることを特徴とする。このようにすれば、フローティングゲートを構成するドーフトポリシリコンの下層の薄いゲート酸化膜 (トンネル酸化膜) の信頼性が向上する。

【0008】また、前記ドーフトポリシリコンを用いて形成したドーフトポリシリコン膜を、2段階で成膜することを特徴とする。また、前記2段階に成膜したドーフトポリシリコン膜の1層目の膜厚を10nm以下にし、2層目のドーフトポリシリコンの表層に半球状の結晶粒を発生させることを特徴とする。

【0009】このようにすれば、ドーフトポリシリコン膜の表面積が約2倍になるため第2コンデンサの容量が大きくなり、結果としてカップリング比が増大する。

## 【0010】

【発明の実施の形態】以下、本発明を図示の実施の形態に基づいて説明する。図1～図8は「ドーフトポリシリコン」であるPHOS DOPED POLY Si (リンをドーパしたポリシリコン) を使用し、フローティングゲート (FG) を構成するドーフトポリシリコン電極膜 (以下、DPOLY と記す) を形成する過程図であり、図9～図11はDPOLY の表面の状況を示す図である。

【0011】先ず、図1に示すように、SiO<sub>2</sub> 膜からなるゲート酸化膜1上に、P (リン) 濃度0.1～0.5wt%程度のポリシリコンを5.0～7.0nm程度堆積し、1層目のDPOLY (ポリシリコン電極膜) 2を形成する。このとき、P濃度の制御はSiH<sub>2</sub>Cl<sub>2</sub>ガスとPH<sub>3</sub>ガスの流量比で行なう。堆積温度は530℃～6

20℃程度、内部圧力は100pa程度とする。

【0012】次に、図2に示すように、1層目のDPOLY 2の上面をRCA洗浄する。更に、P濃度0.1～0.5wt%程度のポリシリコンを90nm程度堆積し、2層目のDPOLY 3を形成する。

【0013】以上のプロセスを通すことによりDPOLY 3の表面に、図9～図11に示すように、半径50nm程度の半球状の結晶粒4が発生する。図9は堆積温度530℃、P濃度0.2、Press100、DPOLY 2の堆積厚さ13.5nmの場合、図10は530℃、P濃度0、Press100、堆積厚さ13.5nmの場合、図11は530℃、P濃度0.2、Press100、堆積厚さ7nmの場合である。

【0014】図12に1層目のDPOLY 2の膜厚を変化させた場合における、膜厚に対する結晶粒4の発生数を示す。図12から明らかなように、1層目のDPOLY 2の膜厚が薄い程、結晶粒4の発生数が多い。この結晶粒4によってフローティングゲートに用いるドーパントポリシリコンの表面積が最大約2倍に増大する。カップリング比の改善には1層目のDPOLY 2の膜厚として、5.0～7.0nmが好適である。

【0015】次に、図3に示すように、パターンニングをしてパターン5を形成し、更に、図4に示すように、カッティングをする。次に、図5に示すように、ONO (oxide-nitride-oxide) 膜6を形成し、図6に示すように、POLYCID (ポリサイド、多結晶シリコン上に金属シリサイドを重ねた構造の電極配線) 7、8を形成する。7はポリシリコンシリサイド、8はタングステンシリサイドである。

【0016】次に、図7に示すように、パターンニングを行ってPREDE (pre deposition) またはDPOLY からなるパターン9を形成し、最後に、図8に示すように、カッティングを行い、フローティングゲートとコントロールゲートが縦に積み上げられた「スタックゲート構造」であるStacked Poly Gate (スタックゲートトランジスタ) 10が完成する。

【0017】ここで、図13に基づいて、カップリング比が増大する理由について説明する。図13に示すように、ゲート酸化膜1と1層目のDPOLY 2とによりトンネル酸化膜(ゲート酸化膜) 11が構成され、該トンネル酸化膜11により第1コンデンサC1が構成される。また、ONO 膜6により第2コンデンサC2が構成される。この場合、前述の如く多数の結晶粒4により2層目のDPOLY 3の表面積は約2倍になり、その結果、第2コンデンサC2の容量が増加するので、カップリング比( $C_r$ ) =  $C_2/C_1$ が大きくなる。従って、第1コンデンサC1の電圧 $V_{fg}$ と第2コンデンサC2の電圧 $V_{cg}$ との間には次式が成立する。

【0018】 $V_{fg} = V_{cg} \times C_2 / (C_1 + C_2)$

【0019】ここで、 $V_{fg}$ は、 $2 \times V_{cg}$ にほぼ等し

い。よって、コントロールゲート電圧 $V_{cg}$ が従来の1/2でもフローティングゲートを制御する電圧 $V_{fg}$ を確保することができるので、フラッシュメモリを低電圧で書換えすることが可能となる。

【0020】

【発明の効果】以上説明したように本発明によれば、以下の効果を奏することができる。半球状の突起物を生成することによりポリシリコン電極膜の表面積が約2倍になるため、第2コンデンサの容量 $C_2$ が大きくなり、結果的としてカップリング比が増大する。

【0021】従って、書換え電圧のデバイス低電圧化を図ることができ、低電圧でもビット線、ワード線の選択が可能になるのでフラッシュデバイスのディスタープ特性を改善することができ、また、低電圧化が図れるので、少し電圧を高くすればフラッシュデバイスの書換えスピードを向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の製造方法を説明する工程断面図(その1)であって、ゲート酸化膜に1層目のDPOLY を形成する図である。

【図2】本発明の実施の形態の製造方法を説明する工程断面図(その2)であって、2層目のDPOLY を形成する図である。

【図3】本発明の実施の形態の製造方法を説明する工程断面図(その3)であって、パターンニングの図である。

【図4】本発明の実施の形態の製造方法を説明する工程断面図(その4)であって、Polyカッティングの図である。

【図5】本発明の実施の形態の製造方法を説明する工程断面図(その5)であって、ONO 膜を形成する図である。

【図6】本発明の実施の形態の製造方法を説明する工程断面図(その6)であって、POLYCID膜を形成する図である。

【図7】本発明の実施の形態の製造方法を説明する工程断面図(その7)であって、パターンニングの図である。

【図8】本発明の実施の形態の製造方法を説明する工程断面図(その8)であって、カッティングの図である。

【図9】半球状の結晶粒が発生した状況を示す図であって、堆積温度530℃、P濃度0.2、Press100、DPOLY 2の堆積厚さ13.5nmの場合の図である。

【図10】半球状の結晶粒が発生した状況を示す図であって、堆積温度530℃、P濃度0、Press100、DPOLY 2の堆積厚さ13.5nmの場合の図である。

【図11】半球状の結晶粒が発生した状況を示す図であって、堆積温度530℃、P濃度0.2、Press100、DPOLY 2の堆積厚さ堆積厚さ7nmの場合の図である。

【図12】1層目のDPOLYと結晶粒の発生個数の関係を示す特性図である。

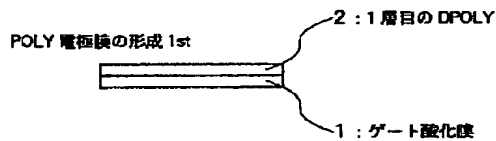
【図13】カップリング比について説明する図である。

【符号の説明】

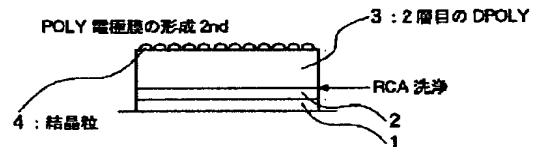
1…ゲート酸化膜、2…1層目のDPOLY、3…2層目の

DPOLY、4…結晶粒、5…パターン、6…ONO膜、7…ポリシリコンシリサイド、8…タングステンシリサイド、9…PREDE、10…Stacked Poly Gate、11…トンネル酸化膜。

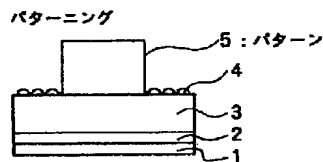
【図1】



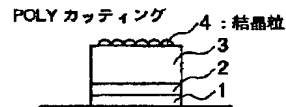
【図2】



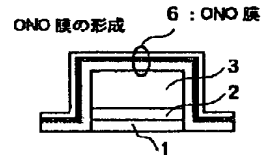
【図3】



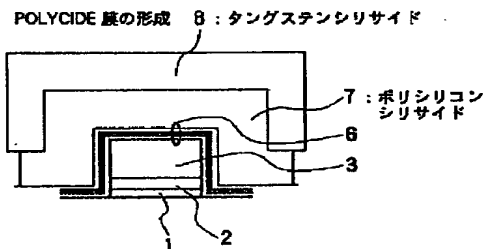
【図4】



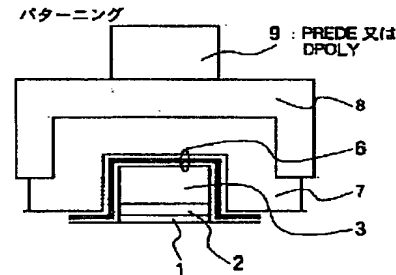
【図5】



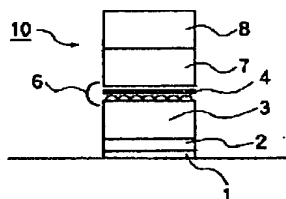
【図6】



【図7】

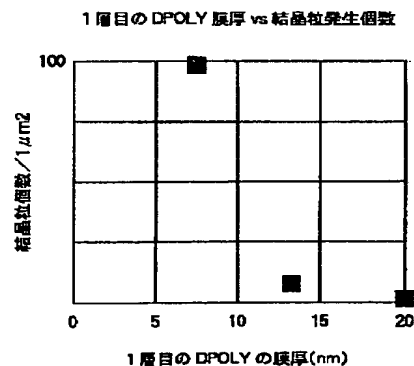


【図8】



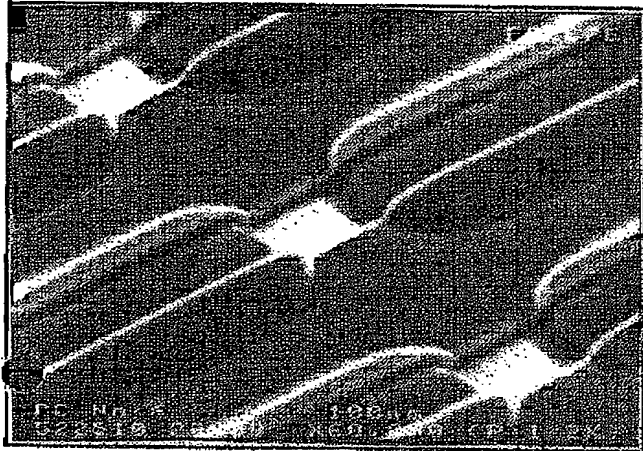
1…ゲート酸化膜、2…1層目のDPOLY、3…2層目のDPOLY、4…結晶粒、6…ONO膜、7…ポリシリコンシリサイド、8…タングステンシリサイド、10…Stacked Poly Gate

【図12】

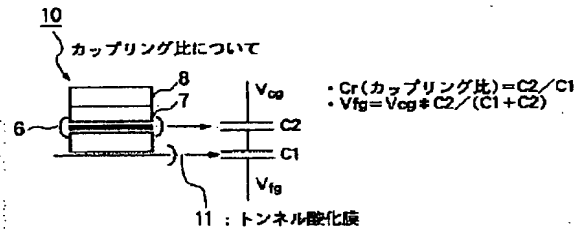


【図9】

#3 Temp: 530°C P濃度: 0.2  
Press: 100 Thickness: 13.5

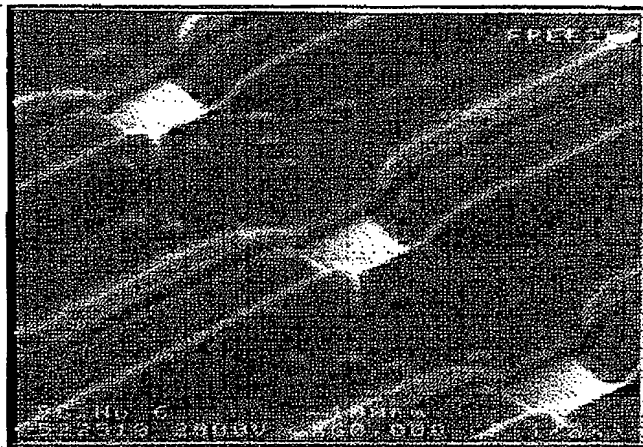


【図13】



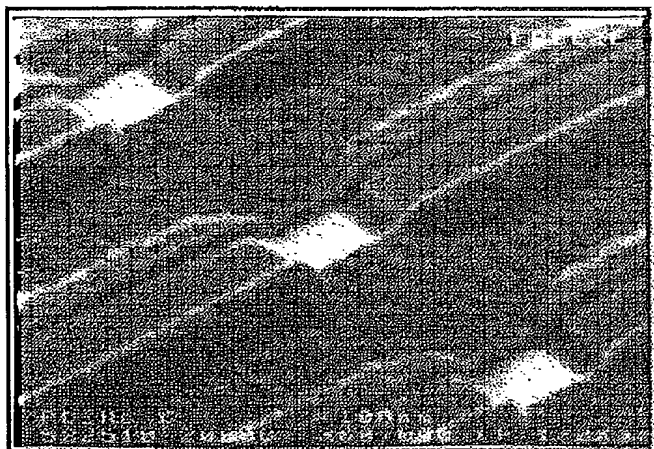
【☒10】

#5 Temp: 530°C P濃度: 0  
Press: 100 Thickness: 13.5



【図11】

#6 Temp: 530℃ P濃度:0.2  
Press:100 Thickness:7



---

フロントページの続き

Fターム(参考) 4M104 BB01 CC05 DD43 DD45 EE08  
EE12 FF13 GG16 HH20  
5F001 AA30 AA63 AB08 AB09 AE50  
AF10 AG21  
5F083 EP04 EP06 EP07 EP08 EP23  
EP55 EP56 ER22 GA11 GA22  
JA04 JA35 JA39 JA53 PR21